(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01284132 A

(43) Date of publication of application: 15 . 11 . 89

(51) Int. Cl H04L 7/08
H03L 7/08
H04J 3/07

(21) Application number: 63114265

(22) Date of filing: 11 . 05 . 88

(71) Applicant: FUJITSU LTD

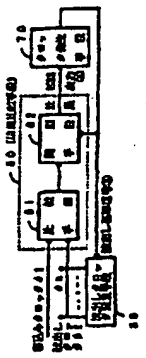
(72) Inventor: KOSUGI TORU
FURUKAWA TAKAHIRO
NOZAWA AKIRA

(54) PHASE COMPARISON CIRCUIT

(57) Abstract:

PURPOSE: To prevent a control error from being given to a clock generating means by providing a synchronizing means to restrike a compared result output to be outputted from a comparing means by a read reference signal to be outputted from the clock generating means.

CONSTITUTION: The write clock ϕ1 of a first phase of timing for writing data in the memory of a first stage and the read clock ϕ1 of the first phase of the timing for reading the data from the memory of the first stage are phase- compared by a comparing means 81, and the compared result output is restruck by the timing of the read reference signal 5 for accessing a read clock generating means 30 to be outputted from the clock generating means 70 by the synchronizing means 82. Thus, the phase relative position of a read clock against a write clock can be always maintained at a fixed position regardless of both the number of memory stages and the duty factor of the clock to be standard and besides, without giving the control error to the clock generating means 70.



⑲日本国特許庁(JP)　⑫特許出願公開

⑫公開特許公報(A)　平1-284132

⑤Int.Cl.⁴		識別記号	庁内整理番号	⑬公開　平成1年(1989)11月15日
H 04 L	7/08		A-6914-5K	
H 03 L	7/08		Z-8731-5J	
H 04 J	3/07		6914-5K	審査請求　未請求　請求項の数　1　(全7頁)

⑭発明の名称　位相比較回路

⑪特　願　昭63-114205
⑫出　願　昭63(1988)5月11日

⑫発明者　小　杉　　亨　栃木県小山市城東3丁目28番1号　富士通ディジタル・テクノロジ株式会社内
⑫発明者　古　川　　隆　弘　栃木県小山市城東3丁目28番1号　富士通ディジタル・テクノロジ株式会社内
⑫発明者　野　澤　　晃　栃木県小山市城東3丁目28番1号　富士通ディジタル・テクノロジ株式会社内
⑪出願人　富士通株式会社　神奈川県川崎市中原区上小田中1015番地
⑭代理人　弁理士　井桁　貞一

明　細　書

1. 発明の名称

位相比較回路

2. 特許請求の範囲

複数段のメモリ素子からなるメモリに書込まれている入力データを読出すために前記メモリ段に対応して複数相の読出しクロック（φ1～φn）を発生する読出しクロック発生手段（30）からの第1相の読出しクロック（φ1）と、前記入力データと同一速度を有するクロックに基づき、該入力データを前記メモリの一段目へ書込むための第1相の書込みクロック（φ1）との位相を比較する比較手段（31）と、

所定自走発振周波数を有するフェーズロックドループからなるクロック発生手段（10）から出力する前記読出しクロック発生手段（30）をアクセスするための所定速度の読出し基準信号（φ）にて前記比較手段（31）から出力する比較結果出力を打ち切る判定手段（32）とを備えることを特徴とする位相比較回路。

3. 発明の詳細な説明

（概　要）

データの書込みクロックと読出しクロックの位相比較結果により、所定自走発振周波数を有して所定速度のクロックを発生するフェーズロックドループの出力を制御する位相比較回路に関し、

メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生回路に対して悪影響をかけることがない位相比較回路を実現することを目的とし、

複数段のメモリ素子からなるメモリに書込まれている入力データを読出すために前記メモリ段に対応して複数相の読出しクロックを発生する読出しクロック発生手段からの第1相の読出しクロックと、入力データと同一速度を有するクロックに基づき、入力データを前記メモリの一段目へ書込むための第1相の書込みクロックとの位相を比較する比較手段と、所定自走発振周波数を有する

フェーズロックドループからなるクロック発生手段から出力する読出しクロック発生手段をアクセスするための所定速度の読出し基準信号にて位相比較手段から出力する比較結果出力を打ち消す同期手段とを備え構成する。

〔産業上の利用分野〕

本発明は、データの書込みクロックと読出しクロックの位相比較結果により、所定自走発振周波数を有して所定速度のクロックを発生するフェーズロックドループの出力を制御する位相比較回路に関する。

例えば、ディジタル伝送方式で正しく信号を再生するための同期処理の1つとして、スタッフパルスの挿入・除去により同期を取るスタッフ同期方式が採用されている。

このような場合におけるパルススタッフの送受信側では、バッファメモリ、読出しクロック、書込みクロックと、位相比較回路、電圧制御発振回路（以下ＶＣＯと称する）等からなるフェーズロックドループ（以下ＰＬＬと称する）を用いて、スタッフパルスを挿入・除去し、クロック周波数の変換を行うことにより同期を取っている。

この時のバッファメモリはＦＩＦＯのメモリ素子を複数段使用し、シリアルデータを複数のパラレルデータに変換して書込み、パラレルデータをシリアルデータに変換しながら読出すことによりクロック周波数の変換を行っている。

かかる変換がバッファメモリの段数の変更やクロックのデューティ比等に無関係に行われ、しかも変換時に発生するジッタを少なくすることが必要である。

〔従来の技術〕

第４図は従来例を説明するブロック図、第５図は従来例における処理状況を説明する図、第６図は他の従来例を説明するブロック図、第７図は他の従来例における処理状況を説明する図をそれぞれ示す。

第４図に示す従来例はメモリ１の段数を５ビットにした時の例であり、この時位相比較回路４で比較するクロック位相として３相目の書込みクロック$\phi 3$（$=\phi 0/2$）と、１相目の読出しクロック$\phi 1$とした場合である。

書込みクロック発生回路２は書込みデータのと同期して送られてくる書込み基準クロックのからｎ相の書込みクロック$\phi 1 \sim \phi n$を発生する。

この各相の書込みクロック$\phi 1 \sim \phi n$はメモリ１のｎ段（ビット）にそれぞれ対応したものとなる。又、読出しクロック発生回路３から発生する各相の読出しクロック$\phi 1 \sim \phi n$も同様にメモリ１のｎ段（ビット）にそれぞれ対応したものとなる。

メモリ１はシリアルで入力する書込みデータのを書込みクロック$\phi 1 \sim \phi n$により各段（ビット）をパラレルに変換して書込み保持し、読出しクロック$\phi 1 \sim \phi n$にて読出す場合にはシリアルに変換して読出す。

クロック発生回路５は読出しクロック発生回路３及び位相比較回路４とで形成したディジタルＰＬＬ（以下ＤＰＬＬと称する）をなし、位相比較回路４からの比較結果信号を直流成分にして、その大小直流成分にて自走発振周波数を変え、これを読出し基準クロックのとして発生している。

尚、ＤＰＬＬの基本的構成としては、ディジタル変換した入力信号をディジタル電圧制御発振器（以下ＶＣＯと称する）から出力する信号と位相比較し、その比較結果はディジタルフィルタを介してディジタルＶＣＯの制御信号として印加され、一方ではアナログ変換して出力信号として取り出すように構成されている。

第５図（Ａ）は書込みデータのをパラレルに変換して書込む状況を示す。即ち、５ビットのデータＡ～Ｅをメモリ１へ書込む場合、書込みクロック$\phi 1$にてデータＡを書込み、書込みクロック$\phi 5$にてデータＥを書込む。

この時のメモリ１を読出す位相としては、書込みクロック$\phi 1 \sim \phi 5$の中間の位相位置から読出しを開始した方がクロックの位相ばらつきに対して一番安全である。

即ち、メモリ1に対する書込みデータのタイミングと読出すタイミングとは非同期でしかも速度も異なるため、メモリ1へデータを書込み開始したと同時に読出しを開始すると、旧データを読出す可能性があり、又メモリ1へデータの書込みが完了してから読出しを開始すると処理時間が長くなる等の問題が発生する。

従って、上述の3ビットのデータA～Bの場合は、書込みクロック#3にてデータCが書込み終了した時点からデータAの読出しを開始するように設定されている。

従って、位相比較回路4は書込みクロック#3と読出しクロック#1との位相比較を行い、位相がずれた場合にはその比較結果出力は"H"レベルで出力せず、ずれ量に応じて"H"又は"L"信号を出力する。

クロック発生回路5はこの比較結果信号⑭'により、読出し基準クロック⑩の周期を制御する。即ち、第5図(B)に示すように比較結果信号⑭'が"H"の時はクロック発生回路5は周期を短くし、"L"の時は周期を長くするように制御した読出し基準クロック⑩を発生する。

従って、第5図(C)に示すように、書込みクロック#3を中心に読出しクロック#1の位相は半固定的に前後に動くことになる。

上述の第4図に示す従来例において、例えばメモリ1の段数を3ビットから16ビットに変更し、位相比較回路4での位相比較位置を3ビットの時と同じく書込みクロック#3と読出しクロック#1とで行うと、第5図(D)で示すように読出しクロック#1の段後の余裕にばらつきが生じることになる。

即ち、前余裕が3ビットで後余裕が8ビットとばらつき、このばらつきの幅によってはデータ読出しが旧データを読出す可能性があるため、位相比較位置を8番目にすることにより前後の余裕を均一にする必要がある。

一方、第6図に示す他の従来例では書込みクロック#1と読出しクロック#1との位相を比較する2つのフリップフロップ回路(以下F.F回路と称する)61,62を有し、F.F回路61,62の出力を排他的論理和する排他的論理和回路(以下E-OR回路と称する)63とを備えて構成されている。

又、この時のクロック発生回路7を構成するPLLは、第7図に示すような位相比較結果信号⑭'の"H"の時間と"L"の時間の時間差を積分し、この差の和がある値に達した時に読出し基準クロック⑩の周期を変えるように制御するものである。

従って、第6図に示す従来例では、メモリ段数を変更しても比較する位相位置を変更する必要がなく、しかも基準となるクロックのデューティファクタにも無関係になる。

(発明が解決しようとする課題)

上述のように第4図に示す従来例では、メモリ段数を変更するたびに比較する位相位置を変更する必要があり、しかも書込みクロックに対する読出しクロックの位置が中心位置に設定するためには、比較する書込みクロックのデューティファクタが50%である必要がある。

一方、第6図に示す従来例ではメモリ段数を変更しても比較する位相位置を変更する必要はなく、しかも基準となるクロックのデューティファクタにも無関係になるが、位相比較結果信号⑭'の立ち上がりエッジが読出し基準クロック⑩に対して非同期であるため、クロック発生回路7に対して誤制御をかける可能性があった。

本発明は、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生回路に対して誤制御をかけることがない位相比較回路を実現することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理を説明するブロック図を示す。

第1図に示す本発明の原理ブロック図中の31は複数段のメモリに書込まれている入力データを読出すためにメモリ段に対応して複数相の読出しク

ロックφ1～φnを発生する読出しクロック発生手段30からの第1相の読出しクロックφ1と、入力データと同一速度を有するクロックに基づき、入力データをメモリの一段目へ書込むための第1相の書込みクロックφ1との位相を比較する比較手段であり、

82は所定自走発振周波数を有するフェーズロックドループからなるクロック発生手段70から出力する読出しクロック発生手段30をアクセスするための所定速度の読出し基準信号⑩にて比較手段81から出力する比較結果出力を打ち直す同期手段であり、

かかる手段を備えることにより本課題を解決するための手段とする。

〔作用〕

1段目のメモリに対してデータを書込むためのタイミングである1相目の書込みクロックφ1と1段目のメモリからデータを読出すためのタイミングである1相目の読出しクロックφ1とを比較手段81にて位相比較し、その比較結果出力を同期手段82にてクロック発生手段70から出力する読出しクロック発生手段30をアクセスするための読出し基準クロックのタイミングで打ち直すことにより、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生手段70に対して誤制御をかけることがなく、書込みクロックに対する読出しクロックの位相比較位置を常に一定位置で確保することが可能となる。

〔実施例〕

以下本発明の要旨を第2図，第3図に示す実施例により具体的に説明する。

第2図は本発明の実施例を説明するブロック図、第3図は本発明の実施例における処理状況を説明する図をそれぞれ示す。尚、全図を通じて同一符号は同一対象物を示す。

第2図に示す本発明の位相比較回路80は以下に説明する機能ブロックを備える位相比較手段80の実施例であり、第1図で説明した比較手段81として、第6図で説明した2つのF．F回路61，62とEX-OR回路63からなる比較部81a、

同期手段82として、インバータ回路82bと2つのF．F回路82c，82dからなる同期部82aから構成した例である。

又、本実施例のメモリ1は第4図で説明したのと同じ内容する有するメモリ段数が5ビットの場合であり、その時の書込みクロックφ1～φ5と読出しクロックφ1～φ5の位相比較は、第1相目である書込みクロックφ1と読出しクロックφ1で行うものとする。

この2つのクロックφ1を比較する比較部81aの出力は、第3図（C）の上段の信号（位相比較の*で示す）となり、これを同期部82aで読出し基準クロック（信号）⑩で打ち直し同期処理した信号が、第3図（C）の下段に示す信号（同期位相比較出力⑪で示す）である。

本実施例のクロック発生回路70aは第7図で説明したのと同一の内容を有するもので、同期部82aの出力の"H"の時間と"L"の時間差を積分し、この差の和がある値に達した時に読出し基準クロック（信号）⑩の周期を変える制御を行うものである。

尚、この時同期部82aの出力⑪は読出し基準クロック（信号）⑩と同期しているため、クロック発生回路70aに対して誤制御を掛けることが防止される。

〔発明の効果〕

以上のような本発明によれば、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかも読出しクロックを作成するための基準信号を発生するクロック発生回路に対しても誤制御をかけることがない位相比較回路を実現することが出来る。

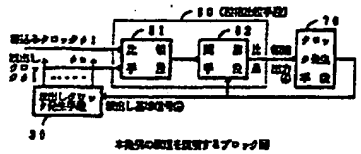
4. 図面の簡単な説明

第1図は本発明の原理を説明するブロック図、

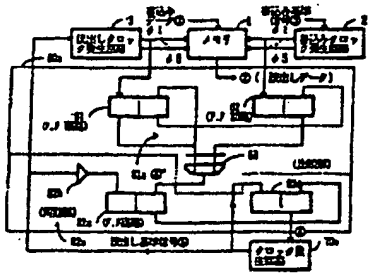
第2図は本発明の実施例を説明するブロック図、
第3図は本発明の実施例における処理状況を説明する図、
第4図は従来例を説明するブロック図、
第5図は従来例における処理状況を説明する図、
第6図は他の従来例を説明するブロック図、
第7図は他の従来例における処理状況を説明する図、
をそれぞれ示す。

図において、
1はメモリ、
2は書込みクロック発生回路、
3は読出しクロック発生回路、
4，6は位相比較回路、
5，7，70ₐはクロック発生回路、
30は読出しクロック発生手段、
61，62，624，624はF．F回路、
70はクロック発生手段、
80は位相比較手段、
80ₐは位相比較部、
81は比較手段、
81ₐは比較部、
をそれぞれ示す。

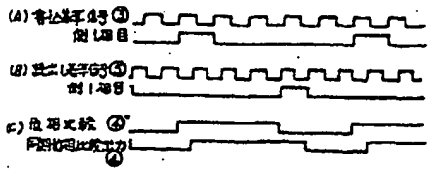
代理人　弁理士　井田良一



本発明の原理を説明するブロック図
第1図

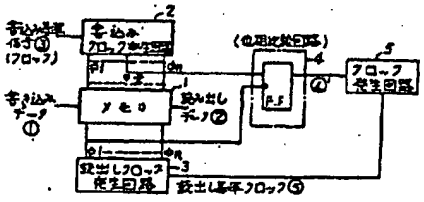


本発明の実施例を説明するブロック図
第2図



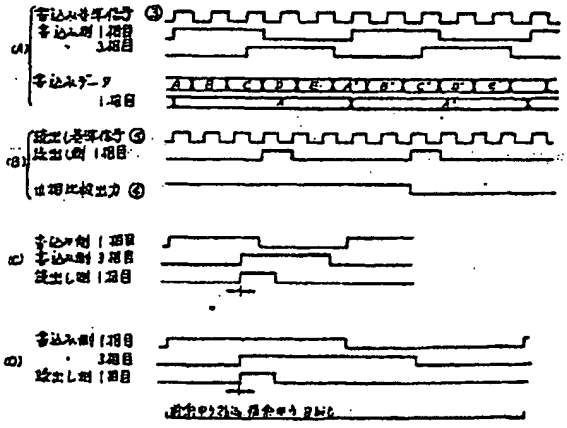
本発明の実施例における動作状況を説明する図

第 3 図



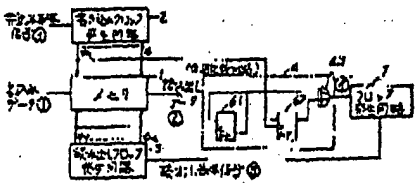
実施例を説明するブロック図

第 4 図

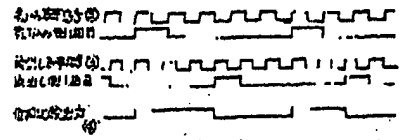


本実施例における動作状況を説明する図

第 5 図



第 6 図



第 7 図

(19) Japanese Patent Office (JP)

(11) Patent Application Publication

(12) Laid-Open Patent Publication (A) Hei 1-284132

(51) Int. Cl.[4]	Identification Code	Office File No.	(43) Publication: November 15, 1989
H04L 7/08		A-6914-5K	
H03L 7/08		Z-8731-5J	
H04J 3/07		6914-5K	Examination request: Not requested
			No. of claims: 1
			(Total of 7 pages)

(54) Title of the Invention: Phase comparison circuit

(21) Patent Application: Sho 63-114205

(22) Application: May 11, 1988

(72) Inventor: Atsushi Kosugi
c/o Fujitsu Digital Technology Co., Ltd.
3-28-1 Joutou, Koyama-shi, Tochigi

(72) Inventor: Takahiro Furukawa
c/o Fujitsu Digital Technology Co., Ltd.
3-28-1 Joutou, Koyama-shi, Tochigi

(72) Inventor: Akira Nozawa
c/o Fujitsu Digital Technology Co., Ltd.
3-28-1 Joutou, Koyama-shi, Tochigi

(71) Applicant: Fujitsu Co., Ltd.
1015 Odanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(74) Agent: Patent agent Sadakazu Igeta

Specifications

1. Title of the Invention

Phase comparison circuit

2. Claims

A phase comparison circuit comprising: a comparison means (31) which compares the phase of a read

clock ($M1$) of a first phase – generated by a read clock generating means (30) which generates read clocks of a plurality of phases ($M1$ through Mn) corresponding to a plurality of memory stages so as to read the input data written in a memory comprising memory elements with the aforesaid plurality of stages – against the phase of write clock $M1$ of a first phase for writing input data to the first stage of the aforesaid memory based on a clock with the same rate as the aforesaid input data; and a synchronizing means which – using the timing of the read reference signal (Ⓢ) with a prescribed rate which is output by the clock generating means (70) comprising a phase locked loop with a prescribed free-running oscillation frequency and used for accessing the read clock generating means (30) – restrikes the comparison result that is output by the aforesaid comparison means (81).

3. Detailed description of the invention

Overview

[The present invention] relates to a phase comparison circuit that uses the result of the comparison of the phases of a data write clock and a read clock to control the output of a phase locked loop with a predetermined free-running oscillation frequency and which generates a clock with a predetermined rate.

The object [of the present invention] is to realize a phase comparison circuit which is independent of the number of memory stages or the duty factor of a reference clock and which does not erroneously control a clock generating circuit.

[The present invention] comprise: a comparison means which compares the phase of a read clock of a first phase – generated by a read clock generating means which generates read clocks of a plurality of phases corresponding to a plurality of memory stages so as to read the input data written in a memory comprising memory elements with the aforesaid plurality of stages – against the phase of a write clock of a first phase for writing input data to the first stage of the aforesaid memory based on a clock with the same rate as the aforesaid input data; and a synchronizing means which – using the timing of a read reference signal with a prescribed rate which is output by the clock generating means comprising a phase locked loop with a prescribed free-running

oscillation frequency and used for accessing the read clock generating means – restrikes the comparison result that is output by the aforesaid comparison means.

Field of Industrial Use

The present invention relates to a phase comparison circuit that uses the result of the comparison of the phases of a data write clock and a read clock to control the output of a phase locked loop with a predetermined free-running oscillation frequency and which generates a clock with a predetermined rate.

An example of a synchronization process for correctly reproducing a signal in a digital transmission method is the stuff synchronization method where synchronization is achieved by the insertion and removal of stuff pulses.

With this method, synchronization is achieved at the side that sends and receives stuff pulses by converting the clock frequency by the insertion and removal of stuff pulses using a phase locked loop (hereinafter "PLL") comprising, among others, a buffer memory, read clock, write clock, phase comparison circuit and a voltage control oscillator circuit (hereinafter "VCO").

In this arrangement, the buffer memory uses a plurality of stages of FIFO memory elements to convert the clock frequency by converting serial data into a plurality of parallel data for data writing and by converting parallel data into serial data for data reading.

It is necessary for the said conversions to be done independently of changes in the number of stages in the buffer memory or the duty ratio of the clock and to minimize the jitter that occurs during the conversion.

Prior Art

Fig. 4 is a block diagram that illustrates the prior art. Fig. 5 depicts the processes of the prior art. Fig. 6 is a block diagram that illustrates a different prior art. Fig. 7 depicts the processes of a different prior art.

The prior art shown in Fig. 4 uses memory 1 whose number of stages is five bits. In this example, the clock phases that are being compared by the phase comparison circuit 4 are write clock $N3$ (= $Nn/2$) of a third phase and read clock $N1$ of a first phase.

The write clock generator circuit 2 generates clocks *M*1 through *M*n with n-phases from the write reference clock ⓓ which it receives in synchrony with the write data Ⓓ.

The write clock *M*1 through *M*n of the respective phase corresponds to stage n (bit) of memory 1. Similarly, the read clock *M*1 through *M*n of the respective phase which are generated by the read clock generator circuit 3 corresponds to stage n (bits) of memory 1.

Memory 1 receives write data Ⓓ as serial data and uses the write clocks *M*1 through *M*n to convert it to a parallel data by separating into individual stages (bits) which it writes and holds. When the data is read using the read clocks *M*1 through *M*n, the data is converted to and output as serial data.

The read clock generator circuit 3, the phase comparison circuit 4 and the clock generating circuit 5 form a digital PLL (hereinafter "DPLL"). The comparison result signal from the phase comparison circuit 4 is used as the direct current component which is used to change the free-running oscillation frequency which is then output as the read reference clock ⓓ.

The basic construction of the DPLL is such that the phase of an input signal that has been converted to a digital signal is compared against the phase of a signal that is output by a digital voltage control oscillator (hereinafter "VCO"). The result of the comparison is applied as a control signal to a digital VCO via a digital filter while the data is converted to an analog data for outputting as an output signal.

Fig. 5(A) shows how write data Ⓓ is converted to parallel [data] and written. To explain, to write 5 bits of data A through E to memory 1, data A is written using the write clock *M*1, and data E is written using the write clock *M*5.

In terms of the phase for reading from memory 1, the greatest margin of safest against variability in clock phases is provided by starting the read operation at a phase position that is at the middle of the write clocks *M*1 through *M*n.

To explain, since the timing for writing data to and the timing for reading data from memory 1 are asynchronous and the rates are moreover different, if the data write operation to memory 1 is begun

simultaneously with the read operation, there is a possibility that old data may be read. Also if the read operation is begun after the data write operation to memory 1 is completed, problems such as the data processing time becoming lengthy are created.

Therefore, in the aforesaid example of 5 bits of data, data A through E, the reading of data A is started when the write operation of data C using write clock *N*3 is completed.

The phase comparison circuit 4 compares the phases of the write clock *N*3 and the read clock *N*1, and when the phases match, the level of the output showing the result of the comparison is "0" and no output is made; depending on the amount of difference an "H" or "L" signal is output.

The clock generating circuit 5 uses the comparison result signal ④' to control the period of the read reference clock ⑤. To explain, as Fig. 5(B) shows, the said clock generating circuit generates a read reference clock ⑤ whose period is shortened when the comparison result signal ④' is "H," and lengthens the period when the result is "L."

This means that the phase of read clock *N*1 moves back and forth along a time axis about the center of the write clock *N*3 as shown in Fig. 5(C).

In the aforementioned example of the prior art shown in Fig. 4, if the number of stages in memory 1 is changed from 5 bits to 10 bits and the phase comparison position in the phase comparison circuit 4 is kept the same as for the 5-bit case, that is, using write clock *N*3 and read clock *N*1, a variability is created in the pre- and post-margin available in read clock *N*1 as shown in Fig. 5(D).

To elaborate, the available pre-margin is 2 bits and the available post-margin is 8 bits. Depending on the magnitude of the variability, it is possible that the data read operation results in reading the old data. It is therefore necessary to set the phase comparison position at the 6th phase so that the pre- and post-margin are uniform.

Another example of the prior art shown in Fig. 6 comprises two flip-flop circuits (hereinafter "F.F. circuits") 61 and 62 which compare the phases of the write clock *N*1 and the read clock *N*1 and exclusive OR

logic circuit (hereinafter "E-OR circuit") 63 which performs an exclusive OR operation on the outputs of the F.F. circuits 61 and 62.

The PLL that constitute the clock generating circuit 7 in this example integrates the differences in time between the time when the phase comparison result signal ④" is "H" and the time when it is "L." When the sum of the differences reaches a certain value, the period of the read reference clock ⑤ is controlled and changed.

Therefore, with the example of the prior art shown in Fig. 6, there is no need to change the phase position where the comparison is made even if the number of memory stages is changed. Moreover, the duty factor of the clock that is used as the reference becomes irrelevant.

Problems to be Solved by the Invention

As the foregoing shows, with the example of the prior art shown in Fig. 4, it is necessary to change the phase position where the comparison is made whenever the number of memory stages is changed. Moreover, to set the position of the read clock at the center of the write clock, it is necessary for the duty factor of the compared write clock to be 50%.

On the other hand, with the example of the prior art shown in Fig. 6, even though there is no need to change the phase position where the comparison is made when the number of memory stages changes, and even though the duty factor of the clock that is used as the reference is irrelevant, since the rising edge of the phase comparison result signal ④" is asynchronous with respect to the read reference clock ⑤, there is the possibility that clock generator circuit 7 will be erroneously controlled.

The object of the present invention is to provide a phase comparison circuit that is unaffected by the number of memory stages or the duty factor of the reference clock and that will not erroneously control the clock generator circuit.

Means for Solving the Problems

Fig. 1 shows a block diagram which is used to explain the principle of the present invention. In Fig. 1 which is a block diagram showing the principle of the present invention, there is provided a read clock generating means 30 which, in order to read the input data written in a memory comprising a plurality of stages,

generates clocks M1 through Mn of a plurality of phases corresponding to the memory stages; 81 is a comparison means which compares the read clock M1 of a first phase generated by read clock generating means 30 against the phase of write clock M1 of a first phase for writing input data to the first stage memory based on a clock with the same rate as the input data; and 82 is a synchronizing means which, using the timing of the read reference signal ©, restrikes the comparison result that is output by the comparison means 81 where the said read reference signal, possessing a prescribed rate and output by the clock generating means 70 comprising a phase locked loop with a prescribed free-running oscillation frequency, is used for accessing the read clock generating means 30. The aforesaid means are provided to solve the aforesaid problems.

Function

Comparison means 81 compares the phase of write clock M1 with a first phase used as a timing for writing data to a memory of the first stage against the phase of read clock M1 with a first phase used as a timing for writing data to a memory of the first stage. The comparison result that is output is restruck by synchronizing means 82 using the timing of the read reference clock which is output by the clock generating means 70 and used for accessing the read clock generating means 30. This allows the comparison position of the phase of the read clock against the phase of the write clock to be always kept at a fixed position regardless of the memory stage number or the duty factor of the reference clock and without erroneously controlling the clock generating means 70.

Embodiments

The gist of the present invention is described hereinbelow in specific terms using the embodiments shown in Fig. 2 and Fig. 3.

Fig. 2 is a block diagram depicting an embodiment of the present invention. Fig. 3 is used for explaining the processes performed in an embodiment of the present invention. The same identification numbers are used for the same objects in all figures.

The phase comparison circuit 80a of the present invention shown in Fig. 2 is an embodiment of the

phase comparison means 80 and comprises the functional blocks described hereinbelow. As the comparison means 81 described in Fig. 1, there is provided the comparison section 81a comprising two flip-flop circuits 61 and 62 described with reference to Fig. 6 and E-OR circuit 63; and as the synchronizing means 82, there is provided the synchronizing section 82a comprising inverter circuit 82b and two flip-flop circuits 82c and 82d.

In the present embodiment, memory 1 has the same construction as described in Fig. 4. In other words, the number of memory stages is 5 bits. The comparison of the phase of the write clocks *M* through *M5* and the phase of the read clocks *M* through *M5* is done using the write clock *M* and read clock *M* which are both the first phases.

The output of the comparison section 81a which compares the said two *M* clocks is the top signal shown in Fig. 3(c) (identified as phase comparison ④") and the result of restriking the said signal in the synchronizing section 82a using the read reference clock (signal) ⑤ is the bottom signal shown in Fig. 3(c) (identified as synchronized phase comparison output ④).

The clock generating circuit 70a of the present invention has the same construction as that explained with reference to Fig. 7. The clock generating circuit 70a integrates the difference between the time when the output of the synchronizing section 82a is "high" and the time when it is "low," and when the sum of the differences reaches a certain value, the said clock generating circuit controls the read reference clock (signal) ⑤ by changing its period.

When this is done, since the output ④ of the synchronizing section 82a is in synchrony with the read reference clock (signal) ⑤, erroneously controlling the clock generating circuit 70a is avoided.

Effect of the Invention

As the foregoing shows, the present invention realizes a phase comparison circuit that is unaffected by the number of memory stages or the duty factor of a reference clock and moreover will not erroneously control a clock generator circuit which generates a reference clock that is used for creating the read clocks.

4. Brief Explanation of the Figures

Fig. 1 is a block diagram used to explain the principle of the present invention. Fig. 2 is a block diagram used to explain an embodiment of the present invention. Fig. 3 is a figure used to explain the processes performed in the embodiment of the present invention. Fig. 4 is a block diagram used to explain a prior art. Fig. 5 is a figure used to explain the processes performed in the prior art. Fig. 6 is a block diagram used to explain a different prior art. Fig. 7 is a figure used to explain the processes performed in the different prior art.

In the respective figures, 1 is a memory; 2 is a write clock generator circuit; 3 is a read clock generator circuit; 4 and 6 are phase comparison circuits; 5, 7, and 70a are clock generator circuits; 30 is a read clock generating means; 61, 62, 82c and 82d are F.F. circuits; 70 is a clock generating means; 80 is a phase comparison means; 80a is a phase comparison section; 81 is a comparison means; and 81a is a comparison section.

Agent: Patent agent Sadakazu Igeta [Seal of Patent Agent Sadakazu Igeta]

Fig. 1 Block Diagram used to explain the principle of the present invention

30: Read clock generating means

70: Clock generating means

80: Phase comparison means

81: Comparison means

82: Synchronization means

Write clock *M*

Read clock *M*

Comparison result output ⊕

Read reference signal ⊖

Fig. 2 Block diagram used to explain an embodiment of the present invention

1: Memory

2: Write clock generating circuit

3: Read clock generating circuit

61: Flip-flop circuit

62: Flip-flop circuit

70a: Clock generating circuit

81a: Comparison section

82a: Synchronizing section

Write data ①

Read data ②

Write reference signal ④

Read reference signal ⑤

Fig. 3 Figure used to explain the processes performed in an embodiment of the present invention

(A) Write reference signal ④

First phase

(B) Read reference signal ⑤

First phase

(C) Phase comparison ④"

Synchronized phase comparison output ④

Fig. 4 Block diagram used to explain a prior art

Write data ①

Read data ②

Write reference signal ③ (clock)

Read reference clock ⑤

1: Memory

2: Write clock generator circuit

3: Read clock generator circuit

4. Phase comparison circuit

5. Clock generator circuit

Fig. 5 Figure used to explain the processes performed in a prior art

(A) Write reference signal ③

Write side First phase

Write side Third phase

Write data

First phase

(B) Read reference signal ⑤

Read side First phase

Phase comparison output ④

(C) Write side First phase

Write side Third phase

Read side First phase

(D) Write side First phase

Write side Third phase

Read side First phase

Pre-margin: 2 bits; post-margin: 8 bits

Fig. 6 Block diagram used to explain a different prior art

Write data ①

Read data ②

Write reference signal ③

Read reference clock ⑤

1: Memory

2: Write clock generator circuit

3: Read clock generator circuit

6. Phase comparison circuit

7. Clock generator circuit

Fig. 7 Figure used to explain the processes performed in the different prior art

Write reference signal ③

Write side First phase

Read reference signal ⑤

Read side First phase

Phase comparison output ⑥'